

引用格式: 谢旦杰, 魏敬和, 于宗光. 一种基于 CPF 格式的低功耗物理设计方法与实现[J]. 微电子学与计算机, 2019, 36(3): 87-90. [XIE Dan-jie, WEI Jing-he, YU Zong-guang. A low-power physical design method and implementation based on common power format[J]. Microelectronics & Computer, 2019, 36(3): 87-90.]

一种基于 CPF 格式的低功耗物理设计方法与实现

谢旦杰^{1,2}, 魏敬和^{1,2}, 于宗光^{1,2}

(1 江南大学 物联网工程学院, 江苏 无锡 214122; 2 中国电子科技集团 第 58 研究所, 江苏 无锡 214072)

摘 要: 本文提出了一种基于 CPF 格式的低功耗物理设计流程, 将低功耗设计意图、电源信息、约束条件等整合到 CPF 文件中, 并且可以用于集成电路设计流程的各个阶段, 保证了设计的高效性与一致性. 针对一款 MCU 电路, 结合 CPF 文件, 采用多供电电压和电源关断的低功耗技术对其进行物理设计实现. 最终软件分析结果表明, 电压降和功耗满足设计要求.

关键词: 低功耗; CPF; 多供电电压; 电源关断

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2019)03-0087-04

A low-power physical design method and implementation based on common power format

XIE Dan-jie^{1,2}, WEI Jing-he^{1,2}, YU Zong-guang^{1,2}

(1 School of IOT Engineering, Jiangnan University, Wuxi 214122, China;

2 China Electronics Technology Group Corporation No. 58 Research Institute, Wuxi 214072, China)

Abstract: In this paper, we propose a low-power physical design flow based on common power format, which contains low-power design intent, power supply information and constraints. Since the CPF file can be used in various stages of the integrated circuit design flow, the efficiency and consistency of the design can be ensured. During the physical design of a MCU circuit, we reduce the power by using multiple supply voltages and power shut down technologies, combined with the CPF file. Finally the results of the power analysis software show that the IR drop and power meet the design requirements.

Key words: low-power; CPF; multiple supply voltage; power shut off

1 引言

近年来, 随着半导体工艺技术向深亚微米发展, 集成电路的特征尺寸不断缩小, 在电路性能大幅提升, 面积持续缩小的同时, 功耗优化成为了必须面对的一大难题. 众所周知, 过高的功耗对芯片性能有着不小的影响. 引起电迁移的问题, 降低芯片的可靠性, 增加芯片生产封装成本等等^[1]. 而在便携式产品快速普及的浪潮下, 消费者对于可续航的设备也有了更高的要求, 需要更长的工作时间和待机时间, 因

此对于芯片功耗优化的好坏影响了其市场的表现^[2].

本文针对一款基于 Cortex-M3 内核的 MCU 电路, 进行后端物理设计, 提出了基于 CPF 格式的低功耗物理设计流程, 在物理实现阶段, 利用多供电电压和电源关断技术对电路进行低功耗设计, 达到低功耗设计目的.

2 物理设计流程

通用功耗格式 CPF(Common Power Format)

是由 Cadence 公司开发, 后来由 Si2 (Silicon Integration Initiative) 组织发展成为业界的第一个低功耗标准. 用户可以在早期于 CPF 文件中定义好低功耗设计意图和约束条件, 这个文件可以在整个 RTL- GDSII 流程的各个阶段被使用, 以此确保了低功耗设计意图的一致性.

因此针对传统的物理设计流程, 融合低功耗设计意图及方法, 提出了基于 CPF 格式的低功耗设计流程, 如图 1 所示.

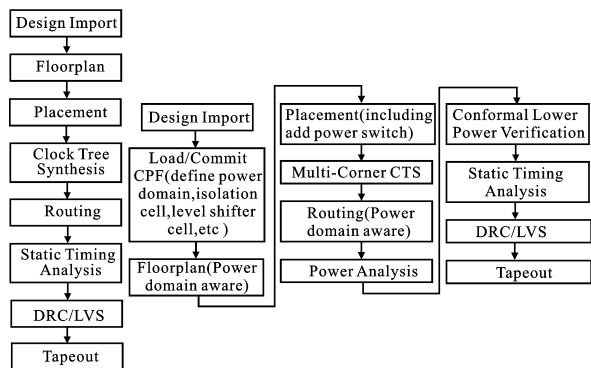


图 1 传统物理设计流程 vs 基于 CPF 格式的物理设计流程

在设计导入之初, 连同网表、库文件等将带有电源信息的 CPF 文件一并导入, 这些 CPF 文件包含了定义电源域、隔离单元、电平转换单元等信息, 而这都是实现低功耗设计必不可少的. 在布局规划阶段, 相较于传统的流程, 需要考虑电源域的大小及分布情况, 并且针对不同的电源域需要规划不同的电源网络. 在标准单元放置阶段不仅要根据网表和时序约束信息进行自动布局标准单元, 而且还要遵守电源域的要求, 布局低功耗单元和门控电源开关. 布线同样需要考虑多个电源域, 对于各个电源域边界上的信号尤其需要特别处理, 以防止错接各种低功耗单元. 在功耗分析和电压降分析之后, 需要进行低功耗检查, 检查电源连接关系, 低功耗单元的连接关系和是否摆放在正确的电源域.

3 低功耗技术实现

由于晶体管的动态功耗与其工作电压的二次方成正比关系, 故降低工作电压可以有效降低系统的动态功耗^[3], 因此根据芯片不同模块的具体需求, 划分不同的区域, 分配不同的工作电压, 可以显著优化动态功耗. 另外针对不同工作模式, 关断非工作模块的电源可以同时降低动态功耗和静态功耗. 根据以上分析, 采用多供电电压 MSV (Multiple Supply Voltage) 技术和电源关断 PSO (Power Shut Off)

技术对电路进行低功耗物理设计与实现^[4].

3.1 电路供电及低功耗模式

本文中设计的 MCU 电路的供电示意图如图 2 所示, 其中电压调节器有 3 种不同的工作方式: 运行模式、停止模式和待机模式. 运行模式下电压调节器以正常功耗为内核, 内存和外设供电; 停止模式下以低功耗模式供电, 以保存寄存器和 SRAM 的内容; 待机模式下电压调节器停止供电, 除了备用电路和备份域外, 寄存器和 SRAM 的内容全部丢失.

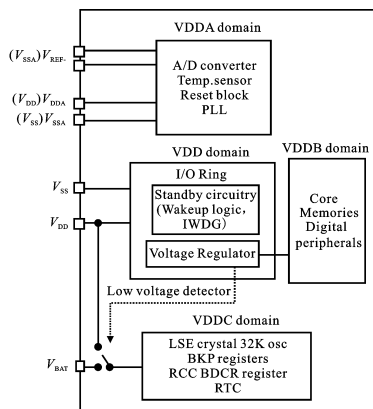


图 2 MCU 电路供电情况

在系统或电源复位以后, 微控制器处于工作状态. 当 CPU 不需要继续工作时, 支持 3 种低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡. (1) 休眠模式. 休眠模式下只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU. (2) 停止模式. 停止模式是在 CPU 的休眠模式基础上结合了外设的时钟控制机制, 此时在 1.5 V 供电区域的所有时钟都被停止, PLL、HSI 和 HSE 振荡器的功能被禁止, SRAM 和寄存器内容被保留下来. 在停止模式下, 所有的 I/O 引脚都保持它们在工作模式时的状态, 而电压调节器可运行在正常或低功耗模式. (3) 待机模式. 该模式是在 CPU 休眠模式下关闭电压调节器, 整个 1.5 V 供电区域被断电, PLL、HSI 和 HSE 振荡器也被断电, SRAM 和寄存器内容丢失, 只有备份的寄存器和待机电路维持供电, 在待机模式下实现了系统的最低功耗.

3.2 多供电电压 MSV 技术

根据 MCU 电路各模块的供电情况划分了四个供电区域, VDDA、VDD、VDDC、VDDDB, 从图 2 中也可以看出. VDDA 为 3.3 V 模拟电源, 包含 ADC、PLL、HSI、LSI、TEM_DEC 等模块; VDD 为 3.3 V 电源, 包含待机/唤醒逻辑、电压调节器等模块; VD-

DC 为备份区电源,包含低电压检测、LSE 晶振、RTC 等模块;VDDb 为 1.5 V 内核电源,它来源于 VDD,经过电压调节器输出为 1.5 V,为内核、存储器、数字外设供电。CPF 文件中关于电源域的创建与描述如下所示。

```
create_power_domain --name PDvdda
--default --external_controlled_shutoff
update_power_domain --name PDvdda
--primary_power_net VDDA --primary_
ground_net VSSA
create_power_domain --name PDvdd
--external_controlled_shutoff
update_power_domain --name PDvdd
--primary_power_net VDD --primary_ground_net VSS
create_power_domain --name PDvddc
update_power_domain --name PDvddc
--primary_power_net VDDC --primary_
ground_net VSS
create_power_domain --name PDvddb
update_power_domain --name PDvddb
--primary_power_net VDDb --primary_
ground_net VSS
```

在 EDA 设计软件 Encounter 中导入 CPF 文件,对各模块实现不同电源域的划分,如图 3 所示。

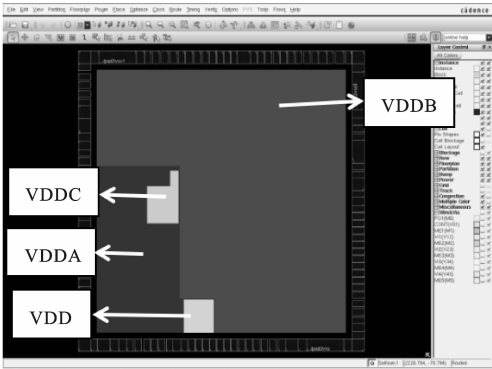


图 3 Encounter 中实现电源域的划分

3.3 电源关断 PSO 技术

电源域 VDDA 和 VDD 为外部可关断电源域,它们接相同电位,VDDC 为不可关断电源域,它的电压是通过 POWER SWITCH 二选一的,正常情况下为 VDD,当 VDD 的电压值降低到 LVD 时,该部分的电压切换到 V_{BAT} ,VDDb 为内部可关断电源域。

通过切断可关断电源域的电源,以及电压调节器的调节,形成了不同的电源模式,如表 1 所示,而这些电源模式也实现了 MCU 电路的低功耗模式,

如表 1 中的 PM3 模式对应了电压调节器在运转模式下 MCU 电路的停止模式,PM4 模式对应了电压调节器在停止模式下 MCU 电路的停止模式,PM5 和 PM6 模式对应了电压调节器在待机模式下 MCU 电路的待机模式。

表 1 电源模式

Power mode	VDDA	Power VDD	domain VDDC	VDDb
PM1	3 V	3 V	3 V	1.35 V
PM2	1.71 V	1.71 V	1.71 V	1.35 V
PM3	3 V	3 V	3 V	0 V
PM4	1.71 V	1.71 V	1.71 V	0 V
PM5	0 V	0 V	3 V	0 V
PM6	0 V	0 V	1.71 V	0 V

CPF 文件中关于电源模式的描述如下所示。

```
create _nominal _condition --name VDDAon33 --
voltage 3
update_nominal_condition --name VDDAon33 --library
_set lib_default
...
create_power_mode --name vdda33_vdd33_vddc33_vd-
db15 --domain_conditions {PDvdda@VDDAon33 PDvdd@
VDDon33 PDvddc@VDDCon33 PDvddb@VDDBon} --de-
fault
...
```

3.4 特殊单元的插入

由于划分了不同电位的电源域,那么必然存在信号从高供电电源域向低供电电源域传输或者从低供电电源域向高供电电源域传输的问题,解决方法就是不同电源域之间插入 Level Shifter Cell,即电平转换单元。在采用电源关断技术时,也会存在一个问题,就是信号从关断电源域传输出去时,它是一个不定态,如果传输到一个在正常工作的电源域就会导致其功能错误,因此需要在关断电源域的输出端插入 Isolation Cell,即隔离单元,以起到钳制与隔离作用^[5]。通常这些特殊单元都在电源域相邻处插入,它们在 CPF 文件中的定义与描述如下所示。

```
Define_level_shifter_cell --cells { } --input_voltage_
range 1.710;3.600 --output_voltage_range 1.350;1.6500
--direction down --input_power_pin VDDC --output_power
_pin VDDb --ground VSS --valid_location from
Define_isolation_cell --cells { } --power VDDC --
ground VSS --enable OE --power_switchable VDDb --valid
_location to
```

4 结果分析

通过多供电电压和电源关断技术的应用,针对

不同模块的不同需求划分电源域,并且根据具体工作方式,切断某些可关断区域的供电,达到了动态功耗和静态功耗的降低,实现了低功耗意图.本次设计的技术指标要求电路电源和地的电压降小于 5%,总功耗小于 300 mW.利用 Voltus 软件分析电源和地的电压降,结果如图 4 所示,电源和地的最大电压降所占总电压的比例均小于 5%,满足技术指标要求.

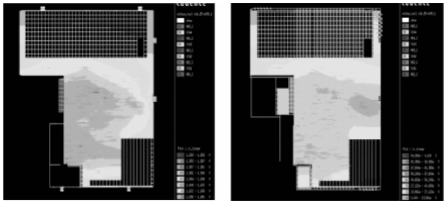


图 4 电源和地的电压降分析结果

利用 Voltus 软件分析 125℃ 下电路的功耗,结果如图 5 所示,内部功耗为 77.44 mW,开关功耗为 136.78 mW,故动态功耗为 214.22 mwW,泄露功耗即静态功耗为 9.14 mW,所以总功耗为 223.36 mW,小于 300 mW,满足技术指标要求.

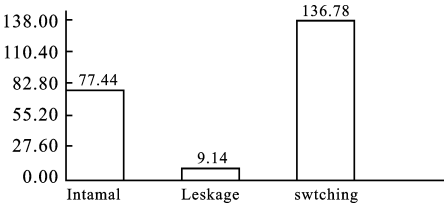


图 5 MCU 电路功耗结果

为了更好得说明电路的功耗情况,将传统物理设计流程和基于 CPF 格式的低功耗设计流程下电路的功耗情况放在一起进行对比,如表 2 所示,通过一系列低功耗技术的应用与实现,基于 CPF 格式的低功耗设计流程相较于传统设计流程功耗降低了 89.26 mW,总功耗降低了 28.74%.

表 2 不同流程功耗结果对比

Design Flow	Internal Power	Switching Power	Leakage Power
传统物理设计的流程	103.86 mW	194.41 mW	12.35 mW
基于 CPF 的低功耗流程	77.44 mW	136.78 mW	9.14 mW

5 结束语

本文以一款 MCU 电路为例,对比传统物理设计流程,提出了一种基于 CPF 格式的低功耗物理设计流程,并且通过后端物理设计在电路中实现了多种低功耗技术.将 CPF 文件融合到物理设计路程中,实现了低功耗设计与验证的自动化,提高了设计效率.最终通过软件分析并对比功耗结果,证明了低功耗设计流程和技术的有效性.

参考文献:

[1] 高华,李辉. 14 nm 工艺下基于 CUPF 的数字 IC 低功耗物理设计[J]. 电子技术应用,2017,43(9):25-29.

[2] NEISSER M, WURM S. ITRS lithography roadmap: 2015 challenges[J]. Advanced Optical Technologies, 2015, 4(4):235-240.

[3] VINCENT J L, KUZMA J. Using platform level telemetry to reduce power consumption in a datacenter [C]// Thermal Measurement, Modeling & Management Symposium. San Jose, CA, USA,IEEE, 2015: 1-7.

[4] LANUZZA M, CORSONELLO P, PERRI S. Low-power level shifter for multi-supply voltage designs [J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2012, 59(12):922-926.

[5] JAFRI S M A H, BAG O, HEMANI A, et al. Energy-aware coarse-grained reconfigurable architectures using dynamically reconfigurable isolation cells[C]//International Symposium on Quality Electronic Design. Santa Clara, CA , IEEE, 2013:104-111.

作者简介:

谢旦杰 男,(1994-),硕士.研究方向为数字集成电路后端设计.

魏敬和(通讯作者) 男,(1975-),博士,研究员.研究方向为系统集成电路、可重构 ASIC 电路.

E-mail: pume1975@sina.com.

于宗光 男,(1964-),博士,研究员,博士生导师.研究方向为集成电路设计、硬件木马检测.